

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平9-179803

(43)公開日 平成9年(1997)7月11日

(51)Int.Cl.⁶
G 0 6 F 13/00識別記号
3 5 3

庁内整理番号

F I
G 0 6 F 13/00

3 5 3 H

技術表示箇所

審査請求 有 請求項の数4 O L (全 10 頁)

(21)出願番号 特願平7-341642

(22)出願日 平成7年(1995)12月27日

(71)出願人 000232036

日本電気アイシーマイコンシステム株式会
社神奈川県川崎市中原区小杉町1丁目403番
53

(72)発明者 渋谷 禎

神奈川県川崎市中原区小杉町一丁目403番
53 日本電気アイシーマイコンシステム株
式会社内

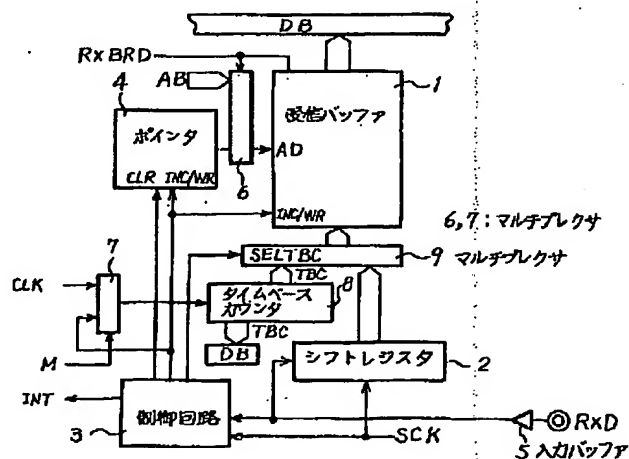
(74)代理人 弁理士 京本 直樹 (外2名)

(54)【発明の名称】 シリアルデータ転送装置

(57)【要約】

【課題】低速度のシリアル通信データの通信管理をハードウェアやソフトウェア規模の増大なしに実行可能とすると共に通信データのイベント管理との切替可能とする。

【解決手段】制御回路3が、通信の終了毎にタイムベースカウンタ値を受信バッファ1の入力データ対応の記憶領域に書き込むよう制御する信号SEL TBCを発生するラッチ34を備える。モード信号Mの供給にตอบสนองクロックCLKと信号SEL TBC対応の信号INC/WRとのいずれか一方を選択してカウントクロックとしてタイムベースカウンタ8に供給するマルチプレクサ7を備える。



【特許請求の範囲】

【請求項1】 1つの通信が所定のビット数の所定数のフレームから成る通信データを記憶する記憶手段と、前記通信データをシフトして前記記憶手段に入力するシフトレジスタと、カウントクロックの供給にตอบสนองしてカウント値をアップカウントしてタイムベースカウンタ値を出力するタイムベースカウンタと、前記通信データを予め定められた手順にしたがって通信するよう制御する制御手段とを備え、前記通信データを前記手順にしたがってビット毎に通信するシリアルデータ転送装置において、

前記制御手段が、前記通信の終了毎に前記タイムベースカウンタ値を前記記憶手段の前記通信データ対応の記憶領域に書き込むよう制御する書込制御信号を発生する書込制御信号発生手段を備え、

制御信号の供給にตอบสนองしてタイムベースの基準となる第1のクロックと前記書込制御信号対応の第2のクロックとのいずれか一方を選択して前記タイムベースカウンタに供給する選択回路を備えることを特徴とするシリアルデータ転送装置。

【請求項2】 前記書込制御信号発生手段が、前記シリアルデータの各々のビットをカウントし前記フレーム単位を成す所定のビット数毎にフレーム信号を発生するビットカウンタと、

前記フレーム信号の数が前記所定数に達したとき通信終了信号を発生するフレームカウンタと、

前記通信終了信号の供給にตอบสนองして前記書込制御信号を発生するラッチ回路とを備えることを特徴とする請求項1記載のシリアルデータ転送装置。

【請求項3】 前記制御信号が前記タイムベースカウンタをタイムベースの計数とイベントの計数とに切替るモード切替信号であり、
前記第2のクロックが前記フレーム信号であることを特徴とする請求項1及び2記載のシリアルデータ転送装置。

【請求項4】 前記制御信号が前記タイムベースカウンタをタイムベースの計数とイベントの計数とに切替るモード切替信号であり、
前記第2のクロックが前記通信終了信号であることを特徴とする請求項1及び2記載のシリアルデータ転送装置。

【発明の詳細な説明】**【0001】**

【発明の属する技術分野】 本発明はシリアルデータ転送装置に関し、特にマイクロコンピュータ等に内蔵されるシリアルデータ転送装置に関する。

【0002】

【従来の技術】 シリアルデータ通信においては、シリアルデータを予め定めた定義すなわちプロトコルにしたがって転送する。またシリアルデータ通信を利用したシス

テムにおいてマイクロコンピュータを多数使用したシステムいわゆるマルチプロセッサシステムが増加しているが、このようなシステムではシステム全体の同期をとって動作させる必要があるので、各マイクロコンピュータ間ではデータ通信が頻繁にかつ緊密に行なわれている。一般に緊密に複数のマイクロコンピュータを効率良く動作させる場合は、リアルタイムデータの通信量が増大する。ここでリアルタイムデータとは、時間に対し変化するデータのことである。したがってデータの通信に時間管理が必要となってきた。

【0003】 この種の時間管理を行う特開平05-26593号公報（文献1）記載の従来のシリアルデータ転送装置の受信回路部分をブロックで示す図3を参照すると、この従来のシリアルデータ転送装置は、通信データを記憶する受信バッファ1と、シフトクロックSCKに同期してシフトしデータを入力するシフトレジスタ2

と、通信の制御を行う制御回路3と、受信バッファ1のアドレスを指定するポイント4と、RxD端子からの入力データを受け内部に転送する入力バッファ5と、マルチプレクサ6と、クロックCLKの一定周期毎にタイムベースカウンタ値TBCをカウントアップするタイムベースカウンタ（TBC）8と、マルチプレクサ9とを備える。

【0004】 制御回路3の詳細な構成をブロックで示す図6を参照すると、この制御回路3は入力バッファ5から供給を受けた入力データの立下がりエッジを検出しエッジ検出信号Eを出力する立下がりエッジ検出回路31と、信号Eの供給にตอบสนองして初期化され入力データのビットを計数し8ビット計数毎にキャリアCを出力するビットカウンタ32と、キャリアCの3回計数毎にキャリアFCを出力するフレームカウンタ33と、キャリアFCの供給にตอบสนองしてTBC選択信号SEL TBCと割込み要求信号INTとを出力するラッチ34と、AND回路35と、AND回路36と、OR回路37とを備える。

【0005】 次に、図5及び図6を参照して、従来のシリアルデータ転送装置の動作について説明すると、まず、処理対象のシリアルデータのプロトコルとしてシリアルデータ通信の開始をデータの立下がりエッジとする。この立下がりエッジに続いて1フレーム8ビットのデータが3フレーム分続いて転送され、1つ分の通信が終了する。このとき、制御回路3は、RxD端子に入力され入力バッファ5を経由して供給されたシリアルデータの立下がりエッジを検出して通信制御を初期化し、受信バッファ1のアドレスを指定するポイント4を初期化するCLR信号を出力する。次にシフトレジスタ2はシフトクロックSCKに同期してシフトし最初のデータD1を入力していく。同時に制御回路3はデータD1のビット数を計算し、8ビット分計数したタイミングの最後でシフトレジスタ2の内容であるデータD1を選択状態にある

マルチプレクサ9を介して受信バッファ1に書込めると共に、ポインタ4を更新するポインタ信号INC/WRを出力する。

【0006】タイムベースカウンタ8のタイムベースカウント値TBCはクロックCLKの一定周期毎にカウントアップされる。マルチプレクサ9は制御回路3のSEL TBC出力の供給にตอบสนองしてタイムベースカウンタ8を選択し、信号INC/WRの供給にตอบสนองしてタイムベースカウンタ8の出力を受信バッファ1に書込む。このときマルチプレクサ9はデータD1を選択しない。

【0007】制御回路3において、立下がりエッジ検出回路31は、入力バッファ5から供給を受けたRXD端子の入力データのレベルの立下がりを検出して検出信号Eとして'1'を出力し、ビットカウンタ32、フレームカウンタ33、ラッチ34をそれぞれ初期化すると共に動作を開始させる。ビットカウンタ32は通信レートを示すシフトクロックSCKによりカウントアップされ、8カウントする毎に最終タイミングでキャリCから'1'を出力する。フレームカウンタ33は、ビットカウンタ32のキャリCの出力毎にカウントアップし、3カウントすると最終タイミングでキャリFCから'1'を出力する。フレームカウンタ33のキャリFCはラッチ34に供給されると共にフレームカウンタ33、ビットカウンタ32の動作を停止させる。ラッチ34はキャリFCの供給にตอบสนองしてTBC選択信号SEL TBC及びCPUの割り込み要求信号INTとなるキャリFC出力後の基本クロック1周期間'1'を出力する。

【0008】ビットカウンタ32のキャリCが'1'で、基本クロックの1つであるクロックC2が'1'の時、オア回路37、アンド回路36の出力するポインタ信号INC/WRが'1'となり、ポインタ4の内容を変更するとともに受信バッファ1へシフトレジスタ2から受信データを書込む。同様にラッチ34の出力信号SEL TBCが'1'のときクロックC2の'1'のタイミングで信号INC/WRが'1'になる。立下がりエッジ検出信号Eが'1'でクロックC2が'1'のときアンド回路35はCLR信号'1'を出力し、ポインタ4を初期化する。

【0009】次に動作を示すタイムチャートである図7を参照して動作の詳細について説明すると、端子RXDに入力データが供給され立下がりエッジが検出されるとCLR信号が発生し、ポインタ4が初期化されると共にビットカウンタ32、フレームカウンタ33が動作を始める。8ビットの最初のデータD1の受信の最終タイミングで信号INC/WRが出力され、データD1がシフトレジスタ2から受信バッファ1のポインタ4の指す番地に書込まれる。続くデータD2、データD3についても同様に受信し、シフトレジスタ2から受信バッファ1へ書込まれる。データD3の受信の最終タイミングでフレームカウンタ33からキャリFC'1'が出力され、

次にラッチ34の出力すなわちTBC選択信号SEL TBCが'1'となりINT/WRが'1'となるので、システムに同期しているクロックCLKでカウントアップしたタイムベースカウンタ8のタイムベースカウント値TBCが受信バッファ1のデータD3に続いた番地に書込まれる。

【0010】以上の様に、シリアルデータの受信完了時のタイミングのタイムベースカウント値TBCが受信データと共に受信バッファ1に書込まれることにより、CPU（図示省略）は上記受信時のTBCの値を知ることができる。

【0011】CPUは、受信シリアルデータの処理時に、現在のカウント値TBC及び受信バッファ1に格納したデータ受信時のカウント値TBCをデータバスDBを用いて読出し両カウント値TBCを比較することで、受信シリアルデータの処理時点までの時間差を検出できるので受信データの時間管理が可能になる。

【0012】この種の複数のマイクロコンピュータ間のデータの通信を行うシステムにおいて、使用分野やマイクロコンピュータの動作速度に応じて種々のシリアル通信速度を用いるので、これら異なる通信速度に対応したシリアル通信データの時間管理を行なわなければならない。

【0013】一般的に、非常に高速な通信速度に対しては、リアルタイムデータによる時間管理を行なう必要がある。さらに、リアルタイムな時間の管理ではなくシリアル通信データの転送以前に通信を行ない、マイクロコンピュータが処理済通信データか未処理の通信データであるかを判断する更新管理や、通信データの優先順位を管理させる処理を行なう必要もある。

【0014】ところが、上述の従来のシリアルデータ転送装置では、シリアルデータ転送装置がマイクロコンピュータシステムと同期を取っているので、リアルタイムデータによる時間管理を行なう場合に、通信速度が低速となりタイムベースカウンタがカウント可能な時間範囲を越えてしまうような長い時間を必要とする場合には、システム全体の速度を低速にするか、カウンタの回路規模を増大するか、あるいはカウンタの回路規模はそのままカウンタのオーバフローをソフトウェア等で管理させることを行なうなどの必要がある。

【0015】カウンタのオーバフローをソフトウェア等で管理させることを行なうと、カウンタのオーバフローを判断する回路と、発生するオーバフロー毎に割り込み処理を起動させるソフトウェアカウンタも必要になり、ソフトウェアのオーバヘッドとなってしまう。

【0016】

【発明が解決しようとする課題】上述した従来のシリアルデータ転送装置は、シリアルデータ転送装置がマイクロコンピュータのシステムと同期を取っているため、通信速度が低速でタイムベースカウンタのカウント可能時

間範囲を越えるような長時間を必要とする場合には、システム全体の速度を低速にするか、カウンタの回路規模を増大するか、あるいはカウンタの回路規模はそのままカウンタのオーバフローをソフトウェア等で管理する等の機能を有しない場合には通信データの更新管理が行なえず、通信データの優先順位管理なども行なえないという欠点があった。

【0017】また、タイムベースカウンタの回路規模をそのままカウンタのオーバフローをソフトウェア等で管理させることを行なうと、カウンタのオーバフローの判断用の回路と、発生するオーバフロー毎に割込み処理を起動させるソフトウェアカウンタも必要になり、ソフトウェアのオーバヘッドとなってしまうという欠点がある。

【課題を解決するための手段】本発明のシリアルデータ転送装置は、1つの通信が所定のビット数の所定数のフレームから成る通信データを記憶する記憶手段と、前記通信データをシフトして前記記憶手段に入力するシフトレジスタと、カウントクロックの供給にตอบสนองしてカウント値をアップカウントしてタイムベースカウント値を出力するタイムベースカウンタと、前記通信データを予め定められた手順にしたがって通信するよう制御する制御手段とを備え、前記通信データを前記手順にしたがってビット毎に通信するシリアルデータ転送装置において、前記制御手段が、前記通信の終了毎に前記タイムベースカウント値を前記記憶手段の前記通信データ対応の記憶領域に書込むよう制御する書込制御信号を発生する書込制御信号発生手段を備え、制御信号の供給にตอบสนองしてタイムベースの基準となる第1のクロックと前記書込制御信号対応の第2のクロックとのいずれか一方を選択して前記カウントクロックとして前記タイムベースカウンタに供給する選択回路を備えて構成されている。

【0018】

【発明の実施の形態】次に、本発明の第1の実施の形態を図5と共通の構成要素には共通の参照文字／数字を付して同様にブロックで示す図1を参照すると、この図に示す本実施の形態のシリアルデータ転送装置は、従来と共通の受信バッファ1と、シフトレジスタ2と、制御回路3と、ポイント4と、入力バッファ5と、マルチプレクサ6、9と、タイムベースカウンタ8とに加えて、モード信号Mの供給にตอบสนองしてクロックCLKとポイント信号INC／WRとのいずれか一方を選択してタイムベースカウンタ8に供給するマルチプレクサ7を備えている。

【0019】次に、図1を参照して本実施の形態の動作について説明すると、まず、シリアル通信の実行手順については従来と同様であり、シリアルデータはRXD端子から入力され、そのプロトコルも同様に、シリアルデータ通信の開始をデータの立下がりエッジとする。この立下がりエッジに続いて1フレーム8ビットのデータが3フレーム分続いて転送され1つ分の通信が終了する。

以下この1つ分の通信をメッセージと呼ぶ。

【0020】マルチプレクサ7は予めシリアルデータ転送装置の通信管理用のマイクロコンピュータ（図示省略）の設定するモード信号Mが'0'のときクロック信号CLKを'1'のときポイント信号INC／WRをそれぞれ選択してタイムベースカウンタ8に供給する。ここでモード信号Mが'0'でクロック信号CLKを選択した場合は前述した従来技術と同様な動作を行なうので、ここでは、図2を参照してモード信号Mが'1'であり信号INC／WRを選択した場合について説明する。

【0021】本実施の形態の動作をタイムチャートで示す図2（A）及び制御回路3の細部を示す従来と共通の図6を参照すると、端子RXDに立下がりエッジが入力されるとCLR信号が発生し、ポイント4が初期化されると共にビットカウンタ32、フレームカウンタ33が動作を開始する。最初の8ビットデータD1の受信の最終タイミングで信号INC／WRが出力され、このデータD1がシフトレジスタ2から転送され受信バッファ1のポイント4の示す番地に書込まれる。またAND回路36を介して信号INC／WRを出力してタイムベースカウンタ8のタイムベースカウント値TBCをカウントアップする。続くデータD2、D3についても同様に受信フトレジスタ2から受信バッファ1に転送・書込がなされると共にカウント値TBCをカウントアップする。データD3の受信の最終タイミングでフレームカウンタ12はキャリーFCとして'1'を出力し、次にラッチ34は出力であるTBC選択信号SEL TBCを'1'に、また、OR回路17、AND回路16を介して信号INC／WRを'1'にそれぞれ設定するので、カウント値TBCが受信バッファ1に転送されデータD3に続いた番地に書込まれる。すなわち、1メッセージ分のデータ毎にその時点のカウント値TBCを書込む。

【0022】以上の様に、シリアルデータの受信完了時のタイミングのタイムベースカウント値TBCがシリアルデータのフレーム単位毎に更新され、この更新したカウント値TBCを受信データと共に受信バッファ1に書込むことにより、マイクロコンピュータシステムとの同期動作速度と無関係に、CPUはシリアル通信速度に応じたシリアルデータの受信完了時対応の時間管理データを知ることができる。

【0023】CPUによる受信シリアルデータの処理をタイムチャートで示す図2（B）を参照すると、CPUは受信シリアルデータの処理時に現在のタイムベースカウンタ8のタイムベースカウント値TBCをデータバスDBを用いて読出し、以前受信した最初の通信データすなわちメッセージFM1対応のタイムベースカウント値TBC'06'と、次のメッセージFM2の受信後に再度受信した現在のメッセージFM1A対応のカウント値TBC'0C'とを比較することにより、これら両受

信シリアルデータの差を検出できるので、受信データの更新管理が可能となる。

【0024】次に、本発明の第2の実施の形態を図1と共通の構成要素には共通の参照文字／数字を付して同様にブロックで示す図3を参照すると、この実施の形態の前述の第1の実施の形態との相違点は、制御回路3の代りにフレームカウンタ32の出力のキャリーFCが外部に出力するようにした制御回路3Aと、マルチプレクサ7の代りにクロックCLKとキャリーFCとをモード信号Mの値により選択的に出力するマルチプレクサ7Aとを備えることである。

【0025】図3及び本実施の形態の動作をタイムチャートで示す図4(A)を参照して動作における第1の実施の形態との相違点について説明すると、モード信号Mが'1'のときは、タイムベースカウンタ8のクロック信号としてキャリーFCを選択する。シリアル通信データD1、D2、D3の受信の最終タイミングでフレームカウンタ32はキャリーFC'1'を出力する。このキャリーFCの'1'にตอบสนองして、タイムベースカウンタ8のタイムベースカウント値TBCをカウントアップすると共に、次のラッチ33の出力SEL TBCを'1'に、したがって信号INC/WRを'1'とするのでタイムベースカウント値TBCが受信バッファのデータD3の続き番地に書込まれる。

【0026】以上の様にシリアルデータの受信の完了タイミングのカウント値TBCがシリアルデータのメッセージ単位で更新され、その更新されたカウント値TBCを受信データと共に受信バッファに書込むことによりCPUがシリアルデータの受信完了時における通信順序を知ることができる。

【0027】CPUによる受信シリアルデータの処理をタイムチャートで示す図4(B)を参照すると、CPUは受信シリアルデータの処理時に現在のタイムベースカウンタ8のタイムベースカウント値TBCをデータバスDBを用いて読出し、以前受信した最初のメッセージFM1対応のタイムベースカウント値TBC'01'と、次のメッセージFM2の受信後に再度受信したメッセージFM1A対応のタイムベースカウント値TBC'03'とを比較することにより、これら両受信シリアルデータの差を検出する。この検出結果からCPUは、カウント値TBC'03'対応のメッセージFM1Aの方が後で受信されたメッセージであることを判断し、受信バ

ッファ1に格納したメッセージFM1Aの通信データを最新データと認識する受信データの優先順位管理を行なうことが可能となる。

【0028】

【発明の効果】以上説明したように、本発明のシリアルデータ転送装置は、制御信号の供給にตอบสนองしてタイムベースクロックと書込制御信号対応の第2のクロックとのいずれか一方を選択してカウントクロックとしてタイムベースカウンタに供給する選択回路を備えているので、上記タイムベースカウンタがシステムと同期して動作したときにカウント可能な時間範囲を超過してしまう低速度のシリアル通信に対しても、カウンタ回路を増大させたりソフトウェアなどのオーバーヘッドを持たせることなく通信データの更新管理及び通信データの優先順位管理を行なうことを可能とするという効果がある。

【0-0-2-9】さらに、従来のリアルタイムの通信データ時間管理の実行手段をイベント管理から切替えて使用することにより、従来と同一の通信データ管理も行なうことができるという効果を有する。

【図面の簡単な説明】

【図1】本発明のシリアルデータ転送装置の第1の実施の形態を示すブロック図である。

【図2】本実施の形態のシリアルデータ転送装置における動作の一例を示すタイムチャートである。

【図3】本発明のシリアルデータ転送装置の第2の実施の形態を示すブロック図である。

【図4】本実施の形態のシリアルデータ転送装置における動作の一例を示すタイムチャートである。

【図5】従来のシリアルデータ転送装置の一例を示すブロック図である。

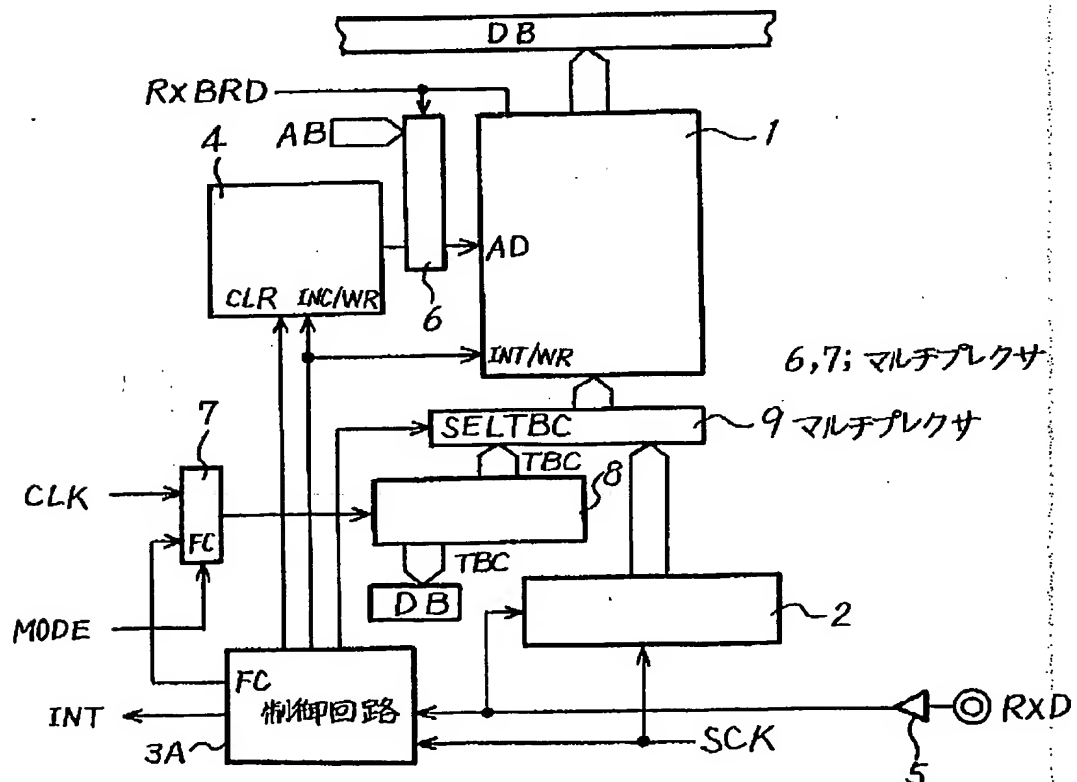
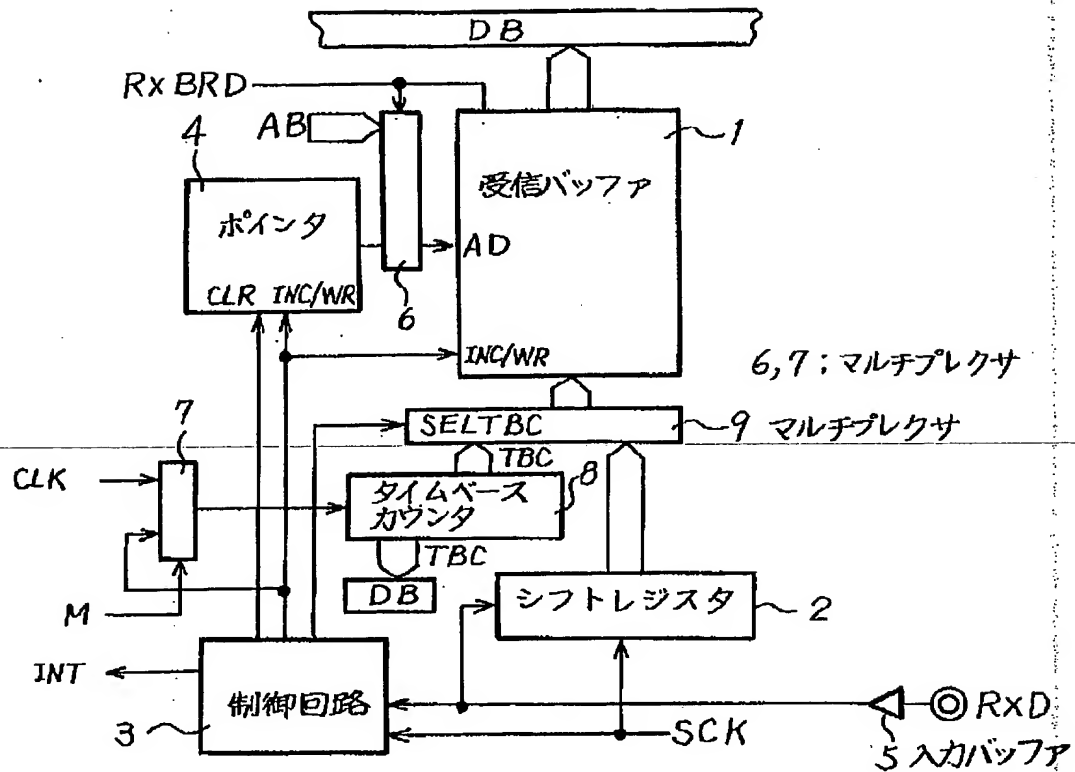
【図6】図5の制御部の構成を示すブロック図である。

【図7】従来のシリアルデータ転送装置における動作の一例を示すタイムチャートである。

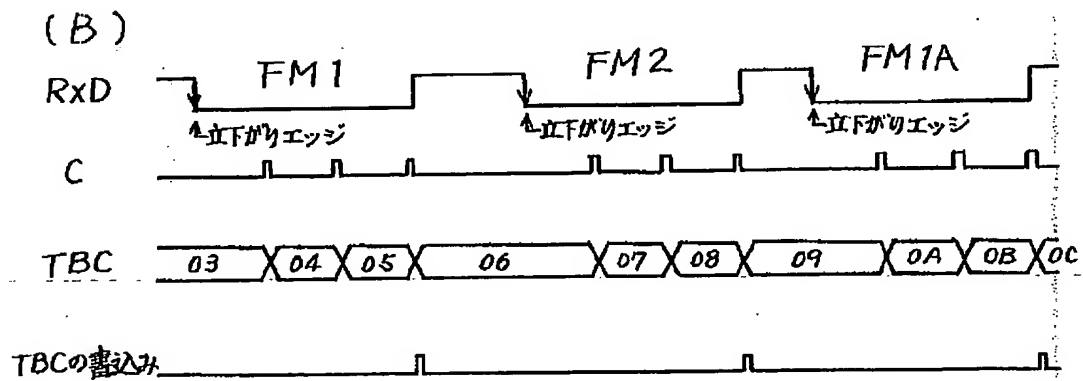
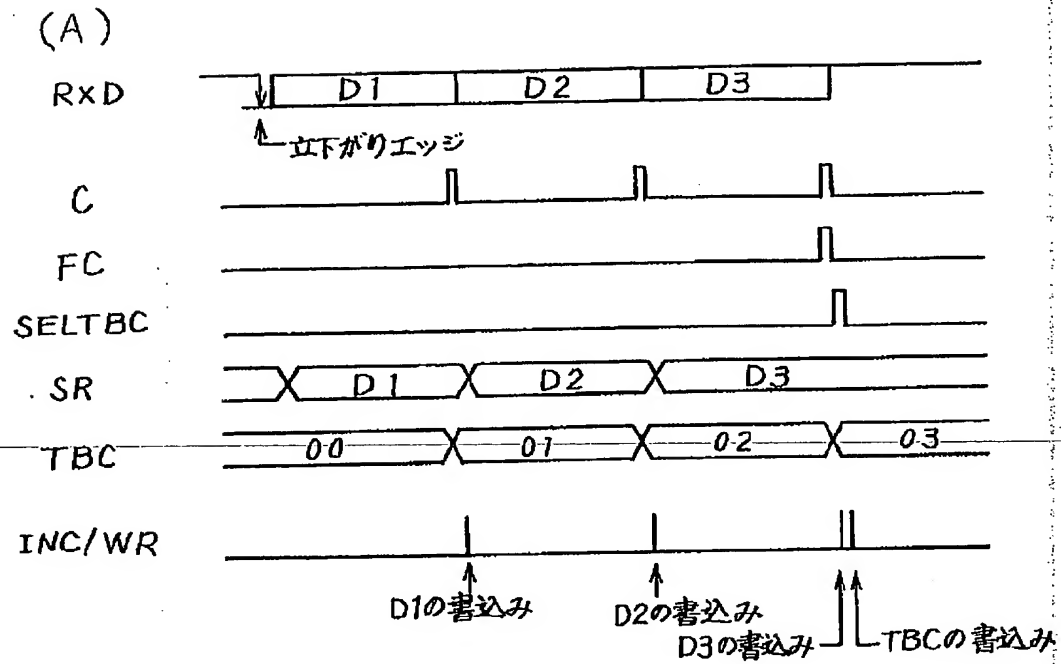
【符号の説明】

- 1 受信バッファ
- 2 シフトレジスタ
- 3, 3A 制御回路
- 4 ポインタ
- 5 入力バッファ
- 6, 7, 9, 7A マルチプレクサ
- 8 タイムベースカウンタ

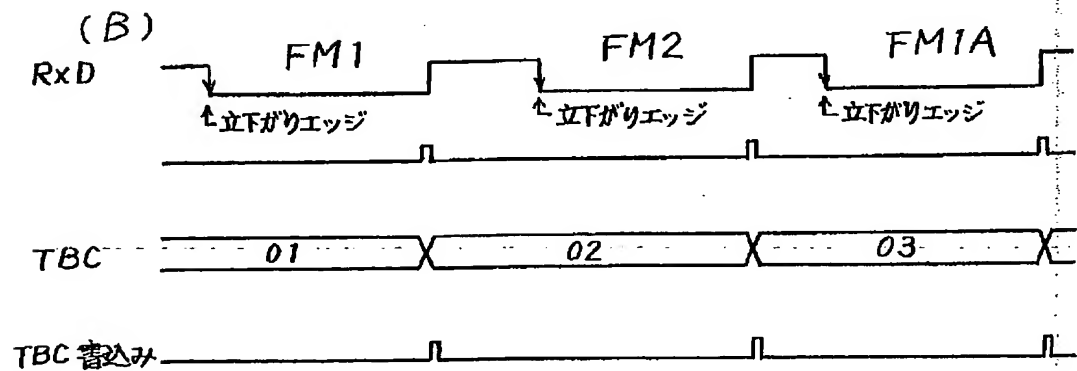
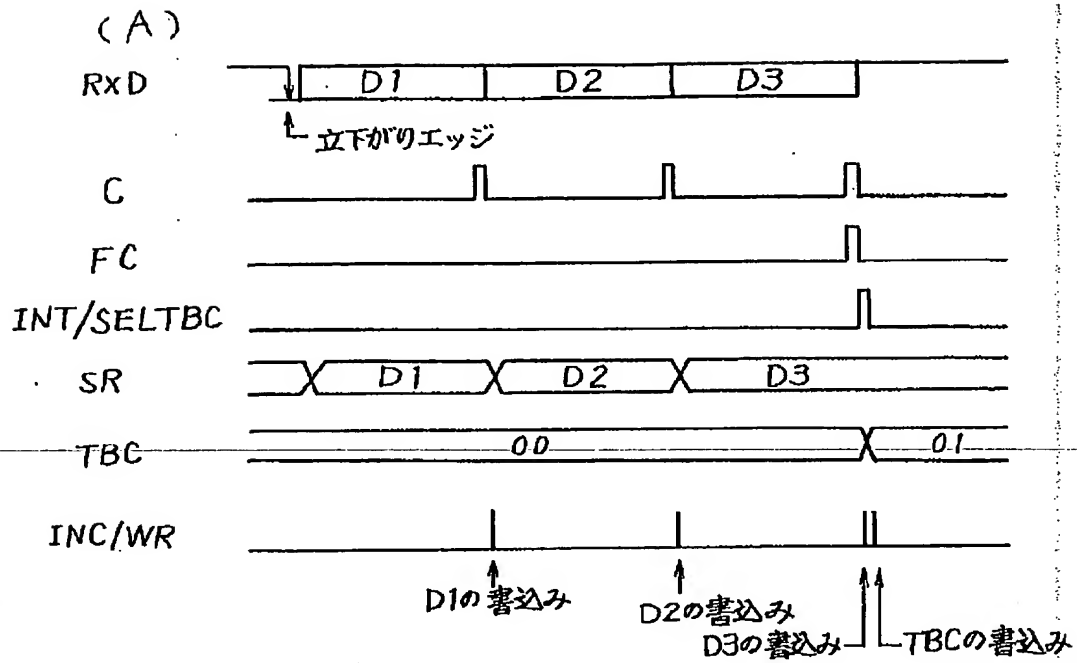
【図 3】



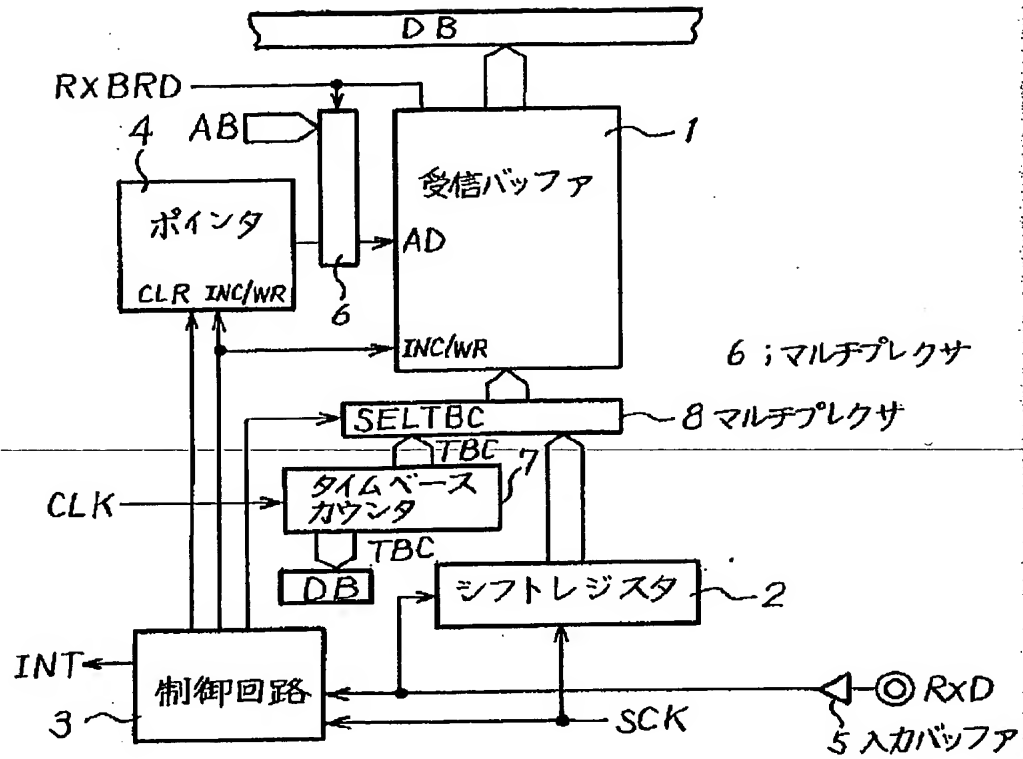
【図2】



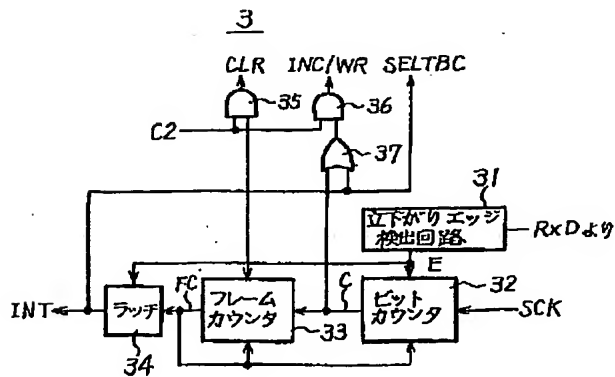
【図4】



【図5】



【図6】



【図7】

